

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 7 月 18 日 (18.07.2002)

PCT

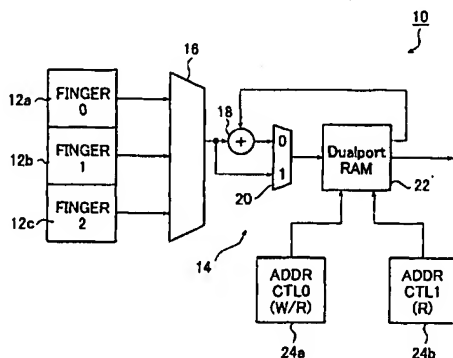
(10) 国際公開番号
WO 02/056493 A1

- (51) 国際特許分類: H04B 1/707, H04J 13/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP02/00128 (75) 発明者/出願人 (米国についてのみ): 佐藤 孝晴
(22) 国際出願日: 2002 年 1 月 11 日 (11.01.2002) (SATHO, Takaharu) [JP/JP]; 〒261-8501 千葉県 千葉
(25) 国際出願の言語: 日本語 市美浜区 中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内 Chiba (JP). 金銅 恒
(26) 国際公開の言語: 日本語 (KONDO, Hisashi) [JP/JP]; 〒261-8501 千葉県 千葉
(30) 優先権データ: 市美浜区 中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内 Chiba (JP).
特願2001-007541 2001 年 1 月 16 日 (16.01.2001) JP
特願2001-237578 2001 年 8 月 6 日 (06.08.2001) JP
(71) 出願人 (米国を除く全ての指定国について): 川崎 (81) 指定国 (国内): US.
マイクロエレクトロニクス株式会社 (KAWASAKI MICROELECTRONICS, INC.) [JP/JP]; 〒261-8501 千葉 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
市美浜区 中瀬一丁目三番地 Chiba (JP).

[続葉有]

(54) Title: RAKE RECEIVER

(54) 発明の名称: RAKE 受信装置



(57) Abstract: A rake receiver comprises fingers for demodulating received data transmitted through multipath and a data combining circuit for combining received data transmitted through paths and demodulated by the fingers. The data combining circuit calculates the cumulative sum of the received and demodulated data for every the same piece of data of each path each time the received data is demodulated by any one of the fingers so as to combine the received data.

(57) 要約:

マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路とを備えている。データ合成回路は、複数のフィンガーの内のいずれかのフィンガーにより受信データが復調される毎に、各パスの同一受信データ毎に復調された受信データを累積加算して合成する。



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

RAKE受信装置

5 技術分野

本発明は、スペクトル拡散技術を利用した移動通信システムで用いられるRAKE受信装置に関するものである。

背景技術

- 10 スペクトル拡散技術を利用した通信方式では、変調し拡散したデータ（信号）を送信側から送信し、受信側で受信したデータを逆拡散し復調することによりデータを送受信する。このスペクトル拡散技術を利用した通信方式では、データの周波数スペクトルが広帯域に拡散されるので、耐干渉性や通信の秘匿性に優れ、同一周波数帯のチャンネルを多数の利用者が共用可能であるという利点
- 15 がある。従って、この通信方式は近年、携帯電話等の移動通信システムで広く利用されている。

このスペクトル拡散技術を利用した通信方式には、例えばCDMA（Code Division Multiple Access:符号分割多元接続）方式等がある。

- ところで、移動体通信では、携帯電話等の端末と基地局との間は電波により無線通信される。この時、電波は、直線的に到達したり、例えばビル等の建物に反射して到達するので、受信側は、複数の経路（マルチパス）を経て送信された複数の信号を受信することになる。これらの電波は、送信距離の違いにより時間差
- 20

(位相差)があるため、位相が一致している時には強め合い、位相がずれている時には弱め合うフェージングという現象が発生する。

これに対し、スペクトル拡散技術を利用した移動通信システムでは、マルチパスを経た複数の受信データを合成して通信品質を向上させるRAKE受信方式と
5 いう手法が用いられている。このRAKE受信方式を採用するRAKE受信装置では、対応するパス数分の複数のフィンガーを設け、各々のフィンガーは、各パスからの受信データを復調する。復調された受信データは、その位相差が補正され、位相差補正後のデータが合成される。

このRAKE受信方式を採用する従来技術には、例えば特開平10-2099
10 19号公報に開示の受信装置及び受信方法、並びに携帯電話システムの端末装置や、特開平11-331124号公報に開示のCDMA方式通信機等がある。

これらの公報に開示されたRAKE受信装置は、いずれも複数のフィンガーに対して、受信データを格納するためのメモリが各々1つずつ設けられている。各々のフィンガーにより復調された各パスの受信データは各々対応するメモリに保
15 持される。最も時間的に遅いパスの受信データがメモリに格納された後、全てのメモリから同一の受信データが読み出され、これらの全てのパスの同一受信データが加算されることにより合成される。

従って、従来のRAKE受信装置では、フィンガー毎に大容量のメモリを使用するため、回路規模が大きくなり、その結果、消費電力も大きいという問題点が
20 あった。

発明の開示

本発明の目的は、前記従来技術に基づく問題点を解消し、回路規模を削減し、消費電力を低減することができるRAKE受信装置を提供することにある。

上記目的を達成するために、本発明は、マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データ

5 を合成するデータ合成回路とを備え、

前記データ合成回路は、前記複数のフィンガーの内のいずれかのフィンガーにより前記各パスの受信データが復調される毎に、復調されたデータを各パスの同一受信データ毎に累積加算して合成することを特徴とするRAKE受信装置を提供するものである。

10 また、本発明は、マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路と、前記複数のフィンガーにより復調された各パスの受信データを前記データ合成回路へ供給するタイミングを調整するタイミング調整回路とを備え、

15 前記タイミング調整回路は、前記複数のフィンガーにより復調された各パスの受信データを保持し、

前記データ合成回路は、前記タイミング調整回路から前記複数のフィンガーにより復調された各パスの受信データが供給される毎に、復調されたデータを各パスの同一受信データ毎に累積加算して合成することを特徴とするRAKE受

20 信装置を提供する。

ここで、前記データ合成回路は、前記複数のフィンガーにより共用される1つのメモリを備え、

前記複数のフィンガーにより各パスの受信データが復調される毎に、各々対応する前記メモリのアドレスから累積加算されたデータが読み出され、復調後の前記各パスの同一受信データと加算された後、各々対応する前記メモリの同一アドレスへ書き込まれるのが好ましい。

- 5 また、前記複数のフィンガーには、あらかじめ優先順位が設定されており、
- 前記データ合成回路は、前記複数のフィンガーにより復調された各パスの同一受信データを1つずつ時系列に累積加算し、同時に2つ以上の復調後の前記各パスの受信データが入力されると、前記優先順位に従って、当該復調後の各パスの受信データを同一受信データ毎に順次累積加算するのが好ましい。
- 10 また、本発明は、マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路と、前記複数のフィンガーにより復調された各パスの受信データを前記データ合成回路へ供給するタイミングを調整するタイミング調整回路とを備え、
- 15 前記複数のフィンガーは、1シンボル時間当り複数の受信データを復調し、
- 前記タイミング調整回路は、前記複数のフィンガーにより復調された各パスの複数の受信データを保持し、
- 前記データ合成回路は、前記タイミング調整回路から前記複数のフィンガーにより復調された各パスの受信データが供給される毎に、復調されたデータを
- 20 各パスの同一受信データ毎に累積加算して合成することを特徴とするRAKE受信装置を提供する。

ここで、前記データ合成回路は、前記複数のフィンガーにより共用される1つ

のメモリを備え、

前記タイミング調整回路から前記複数のフィンガーにより復調された各パスの受信データが供給される毎に、各々対応する前記メモリのアドレスから累積加算されたデータが読み出され、復調後の前記各パスの同一受信データと加算された

5 後、各々対応する前記メモリの同一アドレスへ書き込まれるのが好ましい。

また、前記複数のフィンガーおよび前記複数の受信データには、あらかじめ各々優先順位が設定されており、

前記データ合成回路は、前記タイミング調整回路から復調された各パスの受信データを受け取って1つずつ時系列に累積加算し、前記タイミング調整回路
10 に2つ以上の復調後の前記各パスの受信データが保持されると、前記複数のフィンガーの同一優先順位の復調された受信データを前記フィンガーの優先順位に従って前記タイミング調整回路から順次受け取れることを前記受信データの優先順位に従って順次行い、この復調後の各パスの受信データを同一受信データ毎に順次累積加算するのが好ましい。

15

図面の簡単な説明

図1は、本発明のRAKE受信装置の一実施例の構成概略図である。

図2は、各フィンガーにより復調された受信データのタイミングを表す一実施例の概念図である。

20 図3は、本発明のRAKE受信装置の別の実施例の構成概略図である。

図4は、FIFOの動作を表す一実施例のタイミングチャートである。

図5は、図3に示すRAKE受信装置の動作を表す一実施例のタイミング

チャートである。

図 6 は、図 3 に示す RAKE 受信装置の動作を表す別の実施例のタイミングチャートである。

5 発明を実施するための最良の形態

以下に、添付の図面に示す好適実施例に基づいて、本発明の RAKE 受信装置を詳細に説明する。

図 1 は、本発明の RAKE 受信装置の一実施例の構成概略図である。

同図に示す RAKE 受信装置 10 は、3 つのフィンガー (FINGER 0, FINGER 1, FINGER 2) 12 a, 12 b, 12 c と、データ合成回路 14 とを備えている。この RAKE 受信装置は、RAKE 受信方式により、複数のフィンガーの内のいずれかのフィンガーにより受信データが復調される毎に、復調データを各パスの同一受信データ毎に累積加算して合成する。

図示例の RAKE 受信装置 10 において、フィンガー 12 a, 12 b, 12 c は、マルチパスの受信データをそれぞれ復調する。復調後の受信データはデータ合成回路 14 に入力される。なお、フィンガーは、従来公知の構成のものがいずれも利用可能である。また、図示例では、3 つのパスに対応する 3 つのフィンガー 12 a, 12 b, 12 c が設けられているが、フィンガーの個数は必要に応じて適宜変更すればよい。

一方、データ合成回路 14 は、セクタ 16 と、加算器 18 と、セクタ 20 と、メモリ (Dual port RAM) 22 と、2 つのアドレスコントローラ (ADDR CTL 0, 1) 24 a, 24 b とを備えている。データ合成

回路は、いずれかのフィンガー 12 a, 12 b, 12 c により受信データが復調される毎に、復調された受信データを各パスの同一受信データ毎に累積加算して合成する。

ここで、セクタ 16 からは、フィンガー 12 a, 12 b, 12 c から入力される復調された各パスの受信データが 1 つずつ時系列に出力される。また、複数のフィンガーから同時に復調された受信データが入力された場合には、あらかじめ設定されているフィンガー 12 a, 12 b, 12 c の優先順位に従って、優先順位の高いフィンガーの復調された受信データから順次選択的に出力される。優先順位は何ら限定されないが、本実施例では、フィンガー 12 a, 12 b, 12 c の順とする。

続いて、加算器 18 は、セクタ 16 を介して順次入力される、フィンガー 12 a, 12 b, 12 c のいずれかにより復調された各パスの受信データと、詳細は後述するが、アドレスコントローラ 24 a の制御によりメモリ 22 から読み出される、復調された他のパスの同一受信データもしくは復調された他の複数のパスの同一受信データを累積加算したデータとを加算する。加算器 18 の出力信号は、次のセクタ 20 の端子 0 に入力される。

セクタ 20 は、その端子 0 に入力される加算器 18 の出力信号、または、その端子 1 に入力されるセクタ 16 の出力信号を選択的に出力する。フィンガー 12 a, 12 b, 12 c のいずれかにより最初の受信データが復調された時点で、メモリ 22 には、この復調された受信データと同じ復調された他のパスの受信データは保持されていない。この場合、セクタ 20 からはセクタ 16 の出力信号が出力され、これ以外の場合には加算器 18 の出力信号が出力

される。

メモリ 22 は、アドレスコントローラ 24 a, 24 b の制御により、セクタ 20 の出力信号を保持するもので、図示例の場合、メモリ 22 としてデュアルポート RAM が使用されている。アドレスコントローラ 24 a の制御によりメモリ 22 から読み出されたデータは、前述のように加算器 18 に入力される。アドレスコントローラ 24 b の制御によりメモリ 22 から読み出されたデータは、合成後のデータとして出力される。

アドレスコントローラ 24 a, 24 b は、前述のようにメモリ 22 の動作を制御するものである。ここで、アドレスコントローラ 24 a は、セクタ 20 の出力信号のメモリ 22 への書き込み (W)、および、加算器 18 へ入力されるメモリ 22 からのデータの読み出し (R) を制御する。アドレスコントローラ 24 b は、この RAKE 受信装置 10 からの合成後の受信データとなるメモリ 22 からのデータの読み出し (R) を制御する。

なお、本実施例では、メモリ 22 としてデュアルポート RAM を使用し、2つのアドレスコントローラ 24 a, 24 b を使用してデュアルポート RAM の動作を制御しているが、これに限定されない。例えばアドレスコントローラ 24 a とアドレスコントローラ 24 b との調停機能を付加すれば、メモリ 22 としてシングルポート RAM も使用可能である。また、1つのアドレスコントローラでメモリ 22 の動作を制御することも可能である。

次に、図 2 の概念図を参照しながら、本発明の RAKE 受信装置 10 の動作を説明する。

図 2 に示す例では、受信データはフィンガー 12 a (FINGER 0) により

受信データD 0, D 1の順に復調される。また、フィンガー1 2 aが受信データD 1を復調するタイミングでフィンガー1 2 b (FINGER 1)により受信データD 0が復調され、その後、D 1が復調される。同じく、フィンガー1 2 bが受信データD 1を復調するタイミングでフィンガー1 2 c (FINGER 2)により受信データD 0が復調され、その後、D 1が復調される。

まず、フィンガー1 2 aにより受信データD 0が復調される。この受信データD 0は、全てのフィンガー1 2 a, 1 2 b, 1 2 cで復調される3つの受信データD 0の内の最初の受信データD 0であるから、メモリ2 2には、このバス以外の他のバスの復調された受信データD 0は保持されない。従って、この復調された受信データD 0は、セクタ1 6, 2 0を介してメモリ2 2へ入力され、アドレスコントローラ2 4 aの制御により、そのアドレス0に書き込まれる。

この時点で、メモリ2 2のアドレス0には、フィンガー1 2 aにより復調された受信データD 0が保持される。

続いて、フィンガー1 2 aにより受信データD 1が復調されるタイミングで、フィンガー1 2 bにより受信データD 0が復調される。既に述べたように、本実施例では、フィンガー1 2 a, 1 2 b, 1 2 cの順に優先順位が設定されているので、セクタ1 6からは、まず、フィンガー1 2 aにより復調された受信データD 1が出力され、次いでフィンガー1 2 bにより復調された受信データD 0が順次出力される。

なお、データ合成回路1 4が、復調された受信データを合成するのに必要な処理時間は、フィンガー1 2 a, 1 2 b, 1 2 cが受信データを復調するのに必要な処理時間と比べて非常に短い。従って、2つの受信データが同時に復調された

場合であっても、これらの同時に復調された受信データを優先順位に従って順番に処理しても何ら問題は発生しない。また、3つ以上の受信データが同時に復調された場合も同じである。

- 前述のように、データ合成回路14により、まず、フィンガー12aにより復調された受信データD1が処理される。この復調された受信データD1は、復調された受信データD0の場合と同じように、全てのフィンガー12a, 12b, 12cで復調される3つの受信データD1の内の最初の復調された受信データD1であるから、セレクト20を介してメモリ22へ入力され、アドレスコントローラ24aの制御により、そのアドレス1に書き込まれる。
- 10 この時点で、メモリ22のアドレス1には、フィンガー12aにより復調された受信データD1が保持される。

- 次いで、フィンガー12bにより復調された受信データD0が処理される。この復調された受信データD0は、最初の復調された受信データD0ではないので加算器18に入力される。この時同時に、アドレスコントローラ24aの制御により、メモリ22のアドレス0に保持されている復調された受信データD0が読み出されて加算器18に入力される。そして、両者は、加算器18により加算され、セレクト20を介してメモリ22へ入力され、同じアドレス0に再度書き込まれる。
- 15

- この時点で、メモリ22のアドレス0には、フィンガー12aにより復調された受信データD0と、フィンガー12bにより復調された受信データD0とが加算されたデータが保持される。
- 20

なお、復調された受信データD0と復調された受信データD1とは違うデータ

なので、それぞれメモリ22の異なるアドレス0, 1に保持される。また、フィンガー12a, 12b, 12cにより復調される各パスの受信データD0は同じデータなので、累積加算されてメモリ22の同一アドレス0に書き込まれる。同じく、フィンガー12a, 12b, 12cにより復調される各パスの受信データD1も同じデータなので、累積加算されてメモリ22の同一アドレス1に書き込まれる。

続いて、フィンガー12bにより受信データD1が復調されるタイミングで、フィンガー12cにより受信データD0が復調される。セクタ16からは、まず、フィンガー12bにより復調された受信データD1が出力され、次いで
10 フィンガー12cにより復調された受信データD0が順次出力される。

まず、フィンガー12bにより復調された受信データD1が処理される。この復調された受信データD1は、最初の復調された受信データD1ではないので加算器18に入力され、同時に、アドレスコントローラ24aの制御により、メモリ22のアドレス1に保持されている復調された受信データD1が読み
15 出されて加算器18に入力される。そして、両者は、加算器18により加算され、セクタ20を介してメモリ22へ入力され、同じアドレス1に再度書き込まれる。

この時点で、メモリ22のアドレス1には、フィンガー12aにより復調された受信データD1と、フィンガー12bにより復調された受信データD1とが加
20 算されたデータが保持される。

次いで、フィンガー12cにより復調された受信データD0が処理される。この復調された受信データD0も最初の復調された受信データD0ではないので加

算器 18 に入力され、同時に、アドレスコントローラ 24 a の制御により、メモリ 22 のアドレス 0 に保持されている復調された受信データ D 0 が読み出されて加算器 18 に入力される。そして、両者は、加算器 18 により加算され、セクタ 20 を介してメモリ 22 へ入力され、同じアドレス 0 に再度書き込まれる。

この時点で、メモリ 22 のアドレス 0 には、フィンガー 12 a, 12 b, 12 c のそれぞれにより復調された全ての受信データ D 0 が累積加算されたデータが保持される。

全ての復調された受信データ D 0 が累積加算されたデータがメモリ 22 の
10 アドレス 0 に書き込まれた後、アドレスコントローラ 24 b の制御により、メモリ 22 のアドレス 0 に保持されている復調された受信データ D 0 が読み出され、合成後の復調された受信データ D 0 として出力される。

そして最後に、フィンガー 12 c により受信データ D 1 が復調される。この復調された受信データ D 1 も最初の復調された受信データ D 1 ではないので加
15 算器 18 に入力され、同時に、アドレスコントローラ 24 a の制御により、メモリ 22 のアドレス 1 に保持されている復調された受信データ D 1 が読み出されて加算器 18 に入力される。そして、両者は、加算器 18 により加算され、セクタ 20 を介してメモリ 22 へ入力され、同じアドレス 1 に再度書き込まれる。

20 この時点で、メモリ 22 のアドレス 1 には、フィンガー 12 a, 12 b, 12 c のそれぞれにより復調された全ての受信データ D 1 が累積加算されたデータが保持される。

全ての復調された受信データD1が累積加算されたデータがメモリ22のアドレス1に書き込まれた後、同じくアドレスコントローラ24bの制御により、メモリ22のアドレス1に保持されている復調された受信データD1が読み出され、合成後の復調された受信データD1として出力される。

- 5 次に、本発明のRAKE受信装置の別の例を挙げて、例えば複数のフィンガーにより1シンボル時間当り複数の受信データが復調される場合の時分割処理について説明する。

例えば、基地局等の送信元からQPSK（四相位相シフトキーイング）方式で変調されたデータが送信される場合、携帯端末等の受信先では、フィンガーにより、1シンボル時間当り、2つの信号I，Qが同時に復調される。

従って、QPSK方式を採用する通信の場合、各々のフィンガーにより同時に2つの受信データが復調され、この2つのデータを単位として、フィンガーから復調後の受信データが順次出力される。

また、第3世代の移動体通信システムの標準規格（3GPP）では、基地局が最大2つのアンテナを用いて下りリンクの信号を送信するダイバーシチ方式の通信技術が利用される。ダイバーシチ方式におけるオープンループモードの1つであるSTTD（時空間送信ダイバーシチ）では、例えば基地局の2つのアンテナからそれぞれ1シンボル時間当り1つのデータ、すなわち、1シンボル時間当り合計2つのデータが携帯端末に対して送信される。

20 また、これらの2つのアンテナから送信されるデータの内の一方は、例えばデータがそのままの状態で送信され、他方は、2シンボル時間分のデータの順序を時間的に入れ替え、正負を反転し、複素共役の処理を施した状態で送信され

る。従って、携帯端末では、2つのアンテナから1シンボル時間分の2つのデータを受信した時点ではデータの復調を行うことができず、2シンボル時間分の合計4つのデータを受信した時点でデータの復調が可能となる。

従って、3GPPのSTTDの場合、各々のフィンガーにより同時に4つの受信データが復調され、この4つのデータを単位として、フィンガーから復調後の受信データが順次出力される。

以下の説明では、前述の3GPPのSTTDの場合のように、例えば4つのフィンガーにより、2シンボル時間当り4つ（1シンボル時間当り2つ）の受信データが同時に復調される場合を例に挙げて説明する。

10 図3は、本発明のRAKE受信装置の別の実施例の構成概略図である。

同図に示すRAKE受信装置30は、図1のRAKE受信装置10において、さらに、フィンガーにより復調された受信データをデータ合成回路へ出力するタイミングを調整するようにしたもので、4つのフィンガー（FINGER0, FINGER1, FINGER2, FINGER3）32a, 32b, 32c, 32dと、タイミング調整回路34と、データ合成回路36とを備えている。

図3に示すRAKE受信装置30において、まず、フィンガー32a, 32b, 32c, 32dは、図1に示すフィンガー12a, 12b, 12cと比べて、その個数が3個から4個に変更されている点が違うだけである。

20 なお、フィンガーの個数は2個以上であればよく、何ら限定はない。これらのフィンガー32a, 32b, 32c, 32dから出力される復調後の受信データは、タイミング調整回路34に入力される。

タイミング調整回路34は、フィンガー32a, 32b, 32c, 32dから入力される復調後の各パスの受信データをデータ合成回路36へ出力するタイミングを調整するもので、各々のフィンガー32a, 32b, 32c, 32dに対応する4つのFIFO (First-In First-Out) 38a, 38b, 38c, 38dを備えている。なお、タイミング調整回路34はFIFOに限定されず、デュアルポートRAMやレジスタファイル等の他のメモリ回路を使用してもよい。

また、データ合成回路36は、タイミング調整回路34から、フィンガー32a, 32b, 32c, 32dにより復調された受信データが供給される毎に、復調された受信データを各パスの同一受信データ毎に累積加算して合成するもので、セクタ（プライオリティエンコーダ）40と、加算器42と、メモリ44と、制御回路46とを備えている。

ここで、加算器42には、セクタ40とメモリ44の出力信号が入力され、加算器42の出力信号はメモリ44に入力されている。また、メモリ44からは、合成後の復調された受信データが出力されている。制御回路46には、タイミング調整回路34からリクエスト信号REQが入力される。制御回路46からは、制御信号CTL1, CTL2がセクタ40およびメモリ44へ出力され、アクノリッジ信号ACKがタイミング調整回路34へ出力されている。

データ合成回路36は、図1に示すデータ合成回路14と比べて次の3つの点で相違する。即ち、データ合成回路36は、セクタ20に相当する構成要素を設けていない。また、メモリ44が、その各アドレスのデータを初期化する機能を備えている。さらに、制御回路46が、図1に示すデータ合成回路14の

アドレスコントローラ 24 a, 24 b の機能に加えて、前述のタイミング調整回路 34 との間でハンドシェイクにより復調された受信データを受け取る処理を制御する機能を備えている。

データ合成回路 36 では、各バスの同一受信データ毎に復調された受信データ
5 の累積加算を開始する前に、制御回路 46 からメモリ 44 に対して制御信号 CTL 2 が与えられ、メモリ 44 の対応するアドレスに保持されているデータが初期化（例えば、‘0’ に設定）される。累積加算を行うに際し、同一受信データの内の最初の復調された受信データとメモリ 44 に保持されている初期化後のデータが加算され、これが再度メモリ 44 の対応するアドレスに保持さ
10 れる。

データ合成回路 36 では、前述のように、メモリ 44 が各アドレスに保持されているデータを初期化する機能を備えるようにしたが、これに限定されない。例えば、図 1 に示すデータ合成回路 14 のセクタ 20 に相当する構成とすることにより、本機能を達成するようにしても良い。なお、データ合成回路 36 の動作
15 は、タイミング調整回路 34 との間の処理の制御を除いて、図 1 に示すデータ合成回路 14 の動作と同じであるから、ここでは、その詳細な説明は省略する。

次に、図 3 に示す RAKE 受信装置 30 の動作を説明する。

まず、図 4 のタイミングチャートを参照しながら、タイミング調整回路 34 の内の 1 つの FIFO 38 a に着目して RAKE 受信装置 30 の動作を説明する。
20 以下の説明では、図 4 のタイミングチャートに示すように、フィンガー 32 a から FIFO 38 a に対し、4 つのデータを単位として、復調後の受信データ D0 ~ 3, D4 ~ 7, … の順に順次入力されるものとする。

データ合成回路36は、信号RESETNのロウレベルによりリセットされ、初期化される。また、データ合成回路36では、各バスの同一受信データ毎に復調された受信データの累積加算を開始する前に、前述のように、制御回路46からメモリ44に対して制御信号CTL2が与えられ、これに応じて、メモリ44の対応するアドレスのデータが初期化される。ここでは、メモリ44の各アドレスのデータは‘0’に初期化されるものとする。

まず、フィンガー32aから復調後の受信データD0(DIN0)がFIFO38aに対して入力されると、この復調された受信データD0は、FIFO32aのライトアドレスWA0に保持される。その後、ストロブ信号STBが出力され、その立ち下りのタイミングでライトアドレスWA0がインクリメントされてライトアドレスWA1になると共に、リクエスト信号REQ0がハイレベルとなり、リクエスト信号REQもハイレベルになる。

ここで、リクエスト信号REQ0~3は、4つの復調された受信データ(例えば、D0~D3)の内の1~4番目の復調された受信データにそれぞれ対応する信号であり、FIFO38aに、データ合成回路36によって累積加算されるべき新規の復調された受信データが保持されていることを表す。また、リクエスト信号REQは、これらのリクエスト信号REQ0~3のOR(論理和)信号であり、図3に示すように、データ合成回路36の制御回路46に対して与えられる。

FIFO38aからリクエスト信号REQが与えられると、制御回路46からセクタ40に対して制御信号CTL1が与えられる。これに応じて、FIFO38aのリードアドレスRA0から読み出された復調された受信データD0

(DOUT0) がセクタ40から選択出力される。このデータD0は、加算器42により、メモリ44の対応するアドレスに保持されている初期化後のデータ‘0’が加算され、その加算結果、すなわち、データD0が再度メモリ44の同一アドレスに保持される。

- 5 メモリ44への加算結果の書き込み（すなわち、データD0の累積加算）が完了すると、制御回路46からFIFO38aに対してアクノリッジ信号ACKが与えられる。これに応じて、FIFO38aでは、アクノリッジ信号ACKの立ち下りのタイミングで、FIFO38aのリードアドレスRA0がインクリメントされてリードアドレスRA1になると共に、リクエスト信号REQ0が
- 10 ロウレベルに戻される。

- 以下同様にして、4つのデータ、図4のタイミングチャートでは、データD0～3の内の残りのデータD1～3が、FIFO38aのライトアドレスWA1～3にそれぞれ保持され、それぞれリードアドレスRA1～3から読み出され、データ合成回路36において、各バスの同一受信データ毎に累積加算され
- 15 る。また、次の4つのデータ、図4の例では、データD4～7、…についても同様に順次処理される。

- 続いて、図5および図6のタイミングチャートを参照して、タイミング調整回路34の4つのFIFO38a, 38b, 38c, 38dの相互関係に着目してRAKE受信装置30の動作を説明する。同様に、フィンガー32a, 32b,
- 20 32c, 32dから各々対応するFIFO38a, 38b, 38c, 38dに対して同時に、それぞれ4つのデータを単位として、復調後の受信データがD0～3, D4～7、…の順に順次入力されるものとする。

ここで、図3のRAKE受信装置30では図示を簡略化しているが、リクエスト信号REQは、各々のFIFO38a, 38b, 38c, 38dから制御回路46に対してそれぞれ入力されている。また、アクノリッジ信号ACKも、制御回路46から、各々のFIFO38a, 38b, 38c, 38dに対してそれぞれ入力されており、FIFO38a, 38b, 38c, 38dはそれぞれ独立したタイミングで動作する。

図5および図6のタイミングチャートでは、FIFO38a, 38b, 38c, 38dから制御回路46に対して与えられるリクエスト信号をそれぞれF0_RREQ, F1_RREQ, F2_RREQ, F3_RREQとする。また、制御回路46からそれぞれのFIFO38a, 38b, 38c, 38dに対して与えられるアクノリッジ信号をそれぞれF0_RACK, F1_RACK, F2_RACK, F3_RACKとする。

また、FIFO38a, 38b, 38c, 38dのリードアドレスをそれぞれF0_ADDR, F1_ADDR, F2_ADDR, F3_ADDRとする。また、メモリ44のアドレスをMEM_ADDR、メモリ44へのデータの書き込みを制御するライト信号をMEM_WRNとする。また、処理の基準となるクロック信号をCLKとし、制御回路46の遷移状態を表す状態信号をSTATEとする。

なお、それぞれのFIFO38a, 38b, 38c, 38dから制御回路46に対してリクエスト信号F0~3_RREQが同時に与えられた場合、制御回路46は、あらかじめ設定されているフィンガー32a, 32b, 32c, 32dの優先順位に従って、優先順位の高いフィンガーの復調された受信データから順

次処理するよう制御する。優先順位は何ら限定されないが、本実施例では、フィンガー32a, 32b, 32c, 32dの順とする。

また、リクエスト信号F0~3__RREQが同時に与えられた場合、制御回路46は、あらかじめ設定されている復調された受信データの優先順位に従って、

- 5 優先順位の高い復調された受信データから順次処理するよう制御する。復調された受信データの優先順位は何ら限定されないが、本実施例では、例えば復調された受信データD0~D3の順とする。なお、フィンガー32a, 32b, 32c, 32dの優先順位と、復調された受信データD0~D3の優先順位のどちらを優先してもよい。

- 10 まず、図5のタイミングチャートを参照し、復調後の受信データを処理する場合の動作を説明する。ここでは、フィンガー32a, 32b, 32c, 32dの順に、フィンガー32aの復調後の受信データD0~3、フィンガー32bの復調後の受信データD0~3、フィンガー32cの復調後の受信データD0~3、フィンガー32dの復調後の受信データD0~3の処理を行うものとする。

- 15 フィンガー32a, 32b, 32c, 32dの復調後の受信データD0~3が各々対応するFIFO38a, 38b, 38c, 38dに順次入力され、保持される。この時、図5のタイミングチャートに示すように、それぞれのFIFO38a, 38b, 38c, 38dから制御回路46に対して出力されるリクエスト信号F0__RREQ, F1__RREQ, F2__RREQ, F3__RREQ
- 20 EQが同時にハイレベルになる。

制御回路46は、まず、ステート信号STATEに示すようにF0のステートとなる。これに応じて、FIFO38aのリードアドレスF0__ADDR=0か

ら読み出された復調された受信データD0と、これに対応するメモリ44
のアドレスMEM_ADDR=0に保持されているデータ（初期化後のデータ、
例えば‘0’）とが加算され、ライト信号MEM_WRNの立ち下がりの
タイミングで、メモリ44の同一アドレスMEM_ADDR=0に保持さ
5 れる。

その後、制御回路46からFIFO38aに対してアクノリッジ信号F0_R
ACKが与えられ、その立ち下がりのタイミングでFIFO38aのリード
アドレスF0_ADDR=1にインクリメントされる。

以後同様にして、FIFO38aのリードアドレスF0_ADDR=1~3か
10 ら読み出された復調された受信データD1~3が処理（累積加算）され、メモリ
44のアドレスMEM_ADDR=1~3に保持される。

ここで、FIFO38aの復調された受信データD0~3の処理が終了して、
FIFO38aからのリクエスト信号F0_RREQがロウレベルになると、制
御回路46は、F0からF1のステートに遷移する。この場合、図5のタイ
15 ミングチャートに示すように、FIFO38aのリクエスト信号F0_RREQ
がロウレベル、かつ、FIFO38bのリクエスト信号F1_RREQが
ハイレベルであることを確認して、F1のステートに遷移するために1クロック
を必要とする。

そして、以後同様にして、FIFO38bの復調された受信データD0~3、
20 FIFO38cの復調された受信データD0~3、FIFO38dの復調された
受信データD0~3、…の順に処理が行われる。

ここで、本実施例のように、4つのフィンガー32a, 32b, 32c,

3 2 dを備えている場合、最大4つ全てのバスの受信データが同時に復調される場合もあり得る。従って、2シンボル時間毎に、最大16個(=4データ×4フィンガー)の復調された受信データを順次累積加算する必要がある。この場合、1回の累積加算毎に、メモリ44のリード/ライトで2クロック必要である

5 から、その処理に必要となる最小クロック数は32クロックである。

これに対し、図5に示す例の場合、1つの復調された受信データを処理するために、メモリ44からのデータのリードに1クロック、メモリ44へのデータのライトに1クロックがそれぞれ必要であり、合計2クロックが必要である。

また、フィンガーから次のフィンガーに制御回路46のステートを変更するため

10 に1クロックが必要であるため、1つのフィンガー毎に9クロック、フィンガー4つ分で合計36クロックの処理時間が必要である。

従って、図5のタイミングチャートに示す例の場合、前述のように、最小の32クロックよりも4クロック多いので、例えば2シンボル時間 ≥ 36 クロックとなるようにクロック信号CLKの周波数を上げ、これに応じて、

15 F I F O 3 8 a, 3 8 b, 3 8 c, 3 8 dの段数も、例えば5段にすればよい。

続いて、図6のタイミングチャートを参照し、復調後の受信データを処理する場合の動作を説明する。ここでは、受信データD0~D3の順に、フィンガー3 2 a, 3 2 b, 3 2 c, 3 2 dの復調後の受信データD0、フィンガー3 2 a,

20 3 2 b, 3 2 c, 3 2 dの復調後の受信データD1、フィンガー3 2 a, 3 2 b, 3 2 c, 3 2 dの復調後の受信データD2、フィンガー3 2 a, 3 2 b, 3 2 c, 3 2 dの復調後の受信データD3、…を処理するものと

する。

フィンガー32a, 32b, 32c, 32dの復調後の受信データD0~3が
各々対応するFIFO38a, 38b, 38c, 38dに順次入力され、保持さ
れる。このとき、図6のタイミングチャートに示すように、それぞれのFIFO
5 38a, 38b, 38c, 38dから制御回路46に対して出力されるリクエス
ト信号F0__RREQ, F1__RREQ, F2__RREQ, F3__RREQが同
時にハイレベルになる。

まず、制御回路46はF0のステートとなる。これに応じて、FIFO
38aのリードアドレスF0__ADDR=0から読み出された復調された受
10 信データD0と、これに対応するメモリ44のアドレスMEM__ADDR=0に
保持されているデータ（初期化後のデータ、例えば‘0’）とが加算され、
ライト信号MEM__WRNの立ち下がりタイミングで、メモリ44の同一
アドレスMEM__ADDR=0に保持される。

その後、制御回路46からFIFO38aに対してアクノリッジ信号F0__R
15 ACKが与えられ、その立ち下がりタイミングでFIFO38aのリード
アドレスF0__ADDR=1にインクリメントされる。また、制御回路46
では、フィンガー32aの優先順位が最下位（最後）の順位とされ、これに応じ
て、フィンガー32bが自動的に最優先の順位に設定され、制御回路46はF1
のステートになる。

20 すなわち、図6に示す例の場合、フィンガーから次のフィンガーに制御回
路46のステートを変更するために、図5に示す例のように1クロックを必要と
しないという利点がある。なお、ステートマシン等の論理機能の記述言語を使用

して制御回路46の論理設計を行う場合、処理終了後に、各フィンガー32a, 32b, 32c, 32dの優先順位を最下位に変更するように記述するだけでよく、非常に簡単であるという利点もある。

以後同様に、FIFO38b, 38c, 38dの復調された受信データD0が処理される。次に、FIFO38a, 38b, 38c, 38dの復調された受信データD1、FIFO38a, 38b, 38c, 38dの復調された受信データD2、FIFO38a, 38b, 38c, 38dの復調された受信データD3の順に処理が行われる。FIFO38a, 38b, 38c, 38dの復調された受信データD3の処理が終了すると、各々対応するリクエスト信号F0~3_RREQはロウレベルになる。

図6に示す例の場合、1つの復調された受信データを処理するために、メモリ44からのデータのリードに1クロック、メモリ44へのデータのライトに1クロックがそれぞれ必要であり、合計2クロックが必要である。また、フィンガーから次のフィンガーに制御回路46のステートを変更するために1クロックが必要ないため、1つのフィンガー毎に8クロック、フィンガー4つ分で合計32クロックという最小クロック数の時間で処理を完了することができる。

従って、図6に示す例の場合、最小の32クロックで処理を完了することができるので、2シンボル時間=32クロックとなるように、クロック信号CLKの周波数を下げることができ、図5に示す例の場合よりも消費電力を削減することができる。また、本実施例の場合、FIFO38a, 38b, 38c, 38dの段数を最小の4段とすることができるので、FIFOに係る回路規模を最小限に

抑えることができるという利点もある。

なお、上記動作説明では、3GPPのSTTDの場合のように、4つの受信データを単位として、フィンガー32a, 32b, 32c, 32dからFIFO38a, 38b, 38c, 38dへ復調された受信データが順次入力される場合を例に挙げて説明した。しかし、本発明はこれに限定されず、フィンガーからFIFOに対して、1つの受信データを1単位としてもよいし、2つ以上のいくつかの受信データを1単位として入力してもよい。

本発明のRAKE受信装置は、基本的に以上のようなものである。

なお、データ合成回路14, 36の構成は図示例のものに限定されず、同じ機能を実現する他の回路構成のものであってもよい。

以上、本発明のRAKE受信装置について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

15 産業上の利用可能性

以上詳細に説明した様に、本発明のRAKE受信装置は、データ合成回路により、複数のフィンガーの内のいずれかのフィンガーにより受信データが復調される毎に、各パスの同一受信データ毎に復調された受信データを累積加算して合成する、あるいは、タイミング調整回路から複数のフィンガーにより復調された各パスの受信データが供給される毎に、各パスの同一受信データ毎に復調された受信データを累積加算して合成するようにしたものである。

これにより、本発明のRAKE受信装置によれば、従来のものと比較し

て、RAKE合成に必要なメモリ量を（1／フィンガーの個数）程度まで削減することができるので、その回路規模を削減するとともに、その消費電力を低減することができる。

請求の範囲

1. マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路と
- 5 を備え、

前記データ合成回路は、前記複数のフィンガーの内のいずれかのフィンガーにより前記各パスの受信データが復調される毎に、復調された受信データを各パスの同一受信データ毎に累積加算して合成することを特徴とする RAKE 受信装置。

10

2. マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路と、前記複数のフィンガーにより復調された各パスの受信データを前記データ合成回路へ供給するタイミングを調整するタイミング調整回路とを備え、
- 15 前記タイミング調整回路は、前記複数のフィンガーにより復調された各パスの受信データを保持し、

前記データ合成回路は、前記タイミング調整回路から前記複数のフィンガーにより復調された各パスの受信データが供給される毎に、復調された受信データを各パスの同一受信データ毎に累積加算して合成することを特徴とする RAKE 受信装置。

20

3. 前記データ合成回路は、前記複数のフィンガーにより共用される1つの

メモリを備え、

前記複数のフィンガーにより各パスの受信データが復調される毎に、各々対応する前記メモリのアドレスから累積加算されたデータが読み出され、復調後の前記各パスの同一受信データと加算された後、各々対応する前記メモリの同一

- 5 アドレスへ書き込まれることを特徴とする請求項1または2に記載のRAKE受信装置。

4. 前記複数のフィンガーには、あらかじめ優先順位が設定されており、

前記データ合成回路は、前記複数のフィンガーにより復調された各パスの同一

- 10 受信データを1つずつ時系列に累積加算し、同時に2つ以上の復調後の前記各パスの受信データが入力されると、前記優先順位に従って、当該復調後の各パスの受信データを同一受信データ毎に順次累積加算することを特徴とする請求項1～3のいずれかに記載のRAKE受信装置。

- 15 5. マルチパスの受信データを復調する複数のフィンガーと、この複数のフィンガーにより復調された各パスの受信データを合成するデータ合成回路と、前記複数のフィンガーにより復調された各パスの受信データを前記データ合成回路へ供給するタイミングを調整するタイミング調整回路とを備え、

前記複数のフィンガーは、1シンボル時間当り複数の受信データを復調し、

- 20 前記タイミング調整回路は、前記複数のフィンガーにより復調された各パスの複数の受信データを保持し、

前記データ合成回路は、前記タイミング調整回路から前記複数のフィンガーに

より復調された各パスの受信データが供給される毎に、復調された受信データを各パスの同一受信データ毎に累積加算して合成することを特徴とするRAKE受信装置。

- 5 6. 前記データ合成回路は、前記複数のフィンガーにより共用される1つのメモリを備え、

前記タイミング調整回路から前記複数のフィンガーにより復調された各パスの受信データが供給される毎に、各々対応する前記メモリのアドレスから累積加算されたデータが読み出され、復調後の前記各パスの同一受信データと加算された
10 後、各々対応する前記メモリの同一アドレスへ書き込まれることを特徴とする請求項5に記載のRAKE受信装置。

7. 前記複数のフィンガーおよび前記複数の受信データには、あらかじめ各々優先順位が設定されており、

- 15 前記データ合成回路は、前記タイミング調整回路から復調された各パスの受信データを受け取って1つずつ時系列に累積加算し、前記タイミング調整回路に2つ以上の復調後の前記各パスの受信データが保持されると、前記複数のフィンガーの同一優先順位の復調された受信データを前記フィンガーの優先順位に従って前記タイミング調整回路から順次受け取ることを前記受信データの優先
20 順位に従って順次行い、この復調後の各パスの受信データを同一受信データ毎に順次累積加算することを特徴とする請求項5または6に記載のRAKE受信装置。

1/5

FIG. 1

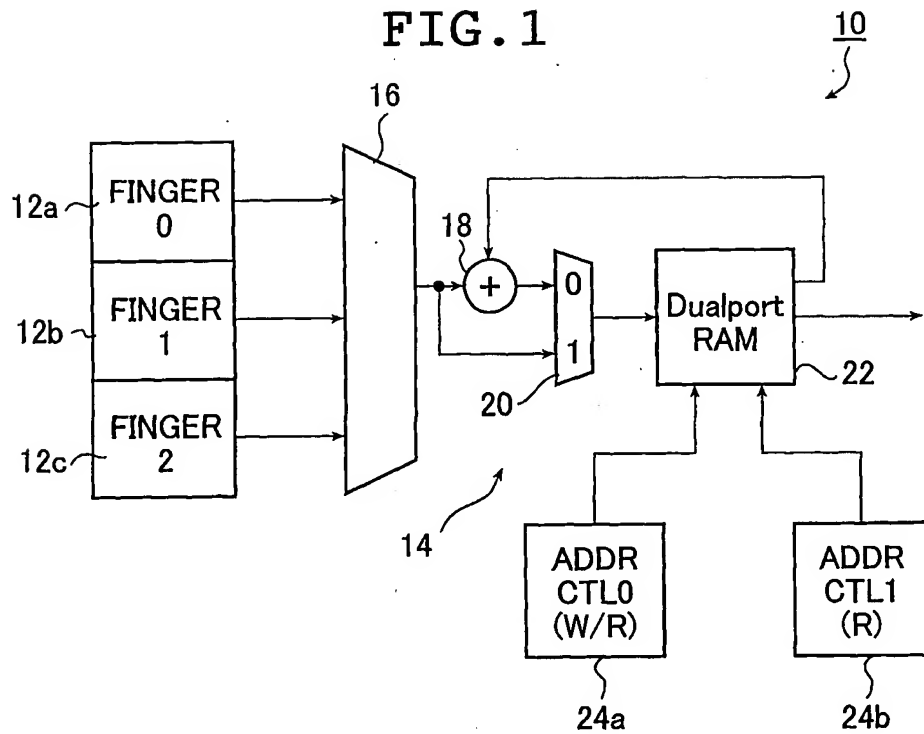


FIG. 2

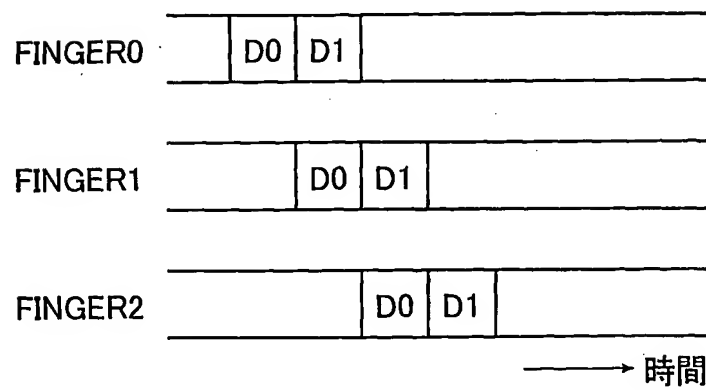


FIG. 3

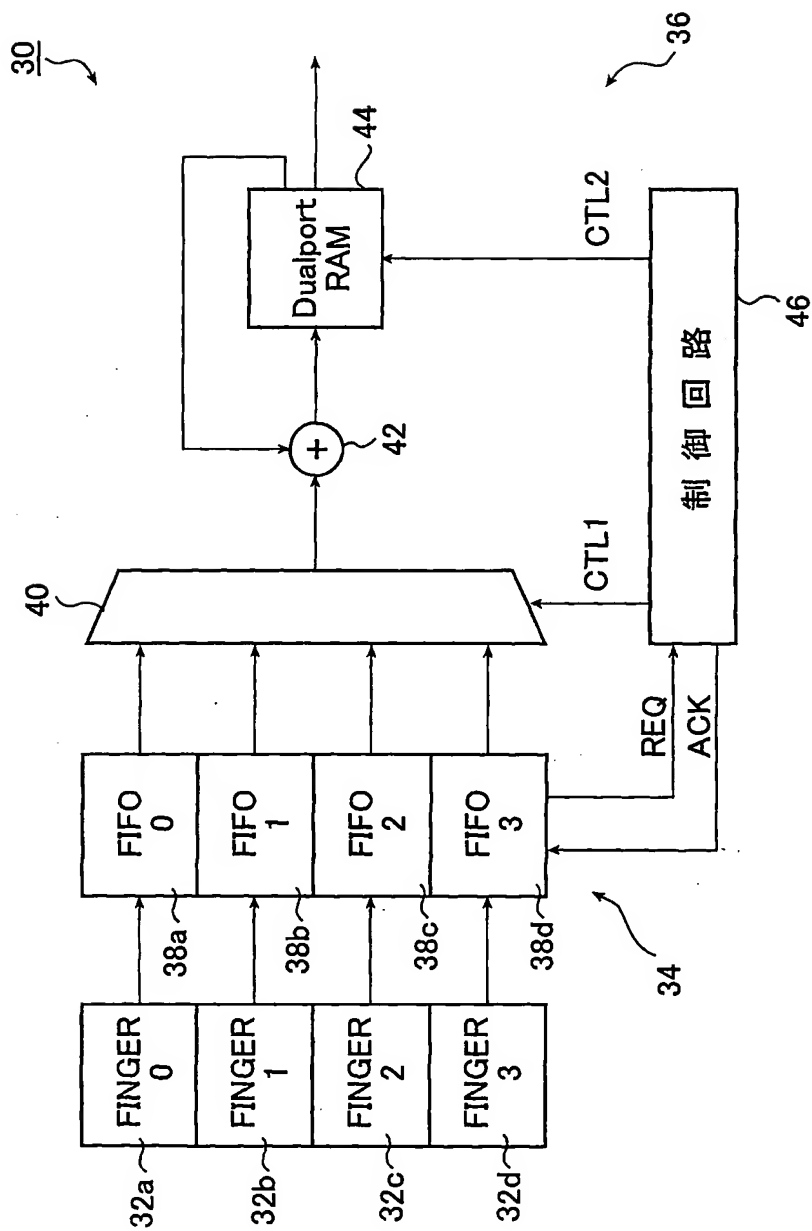
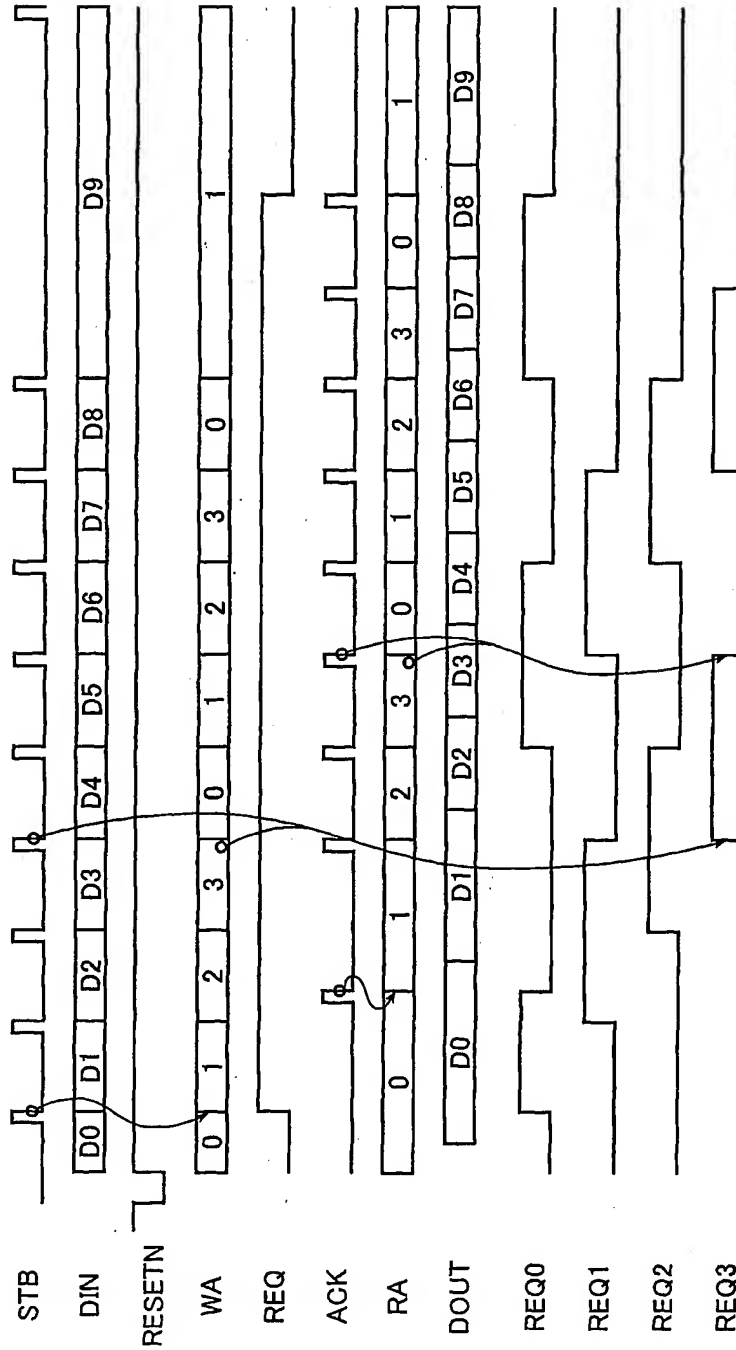


FIG. 4



4/5

FIG. 5

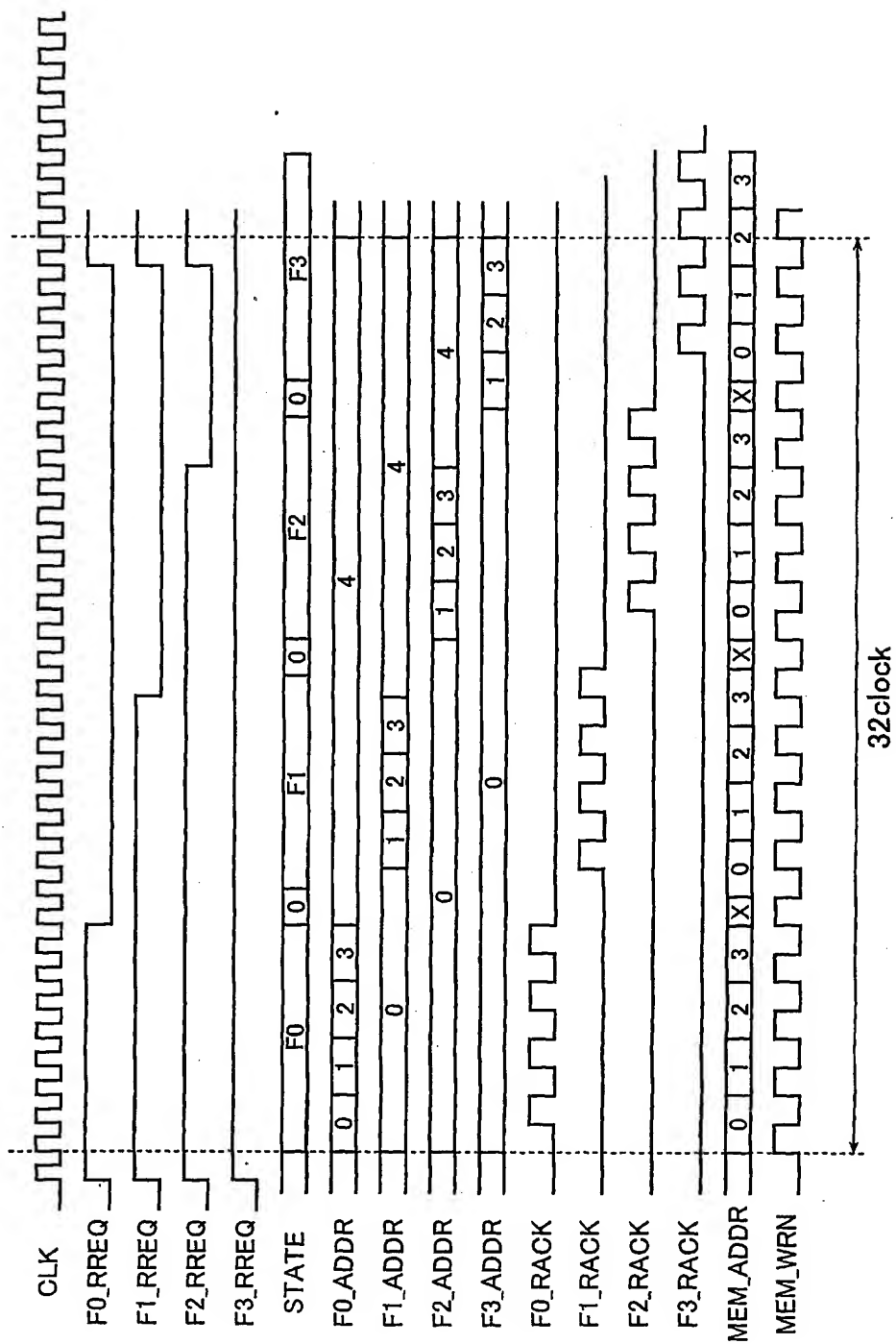
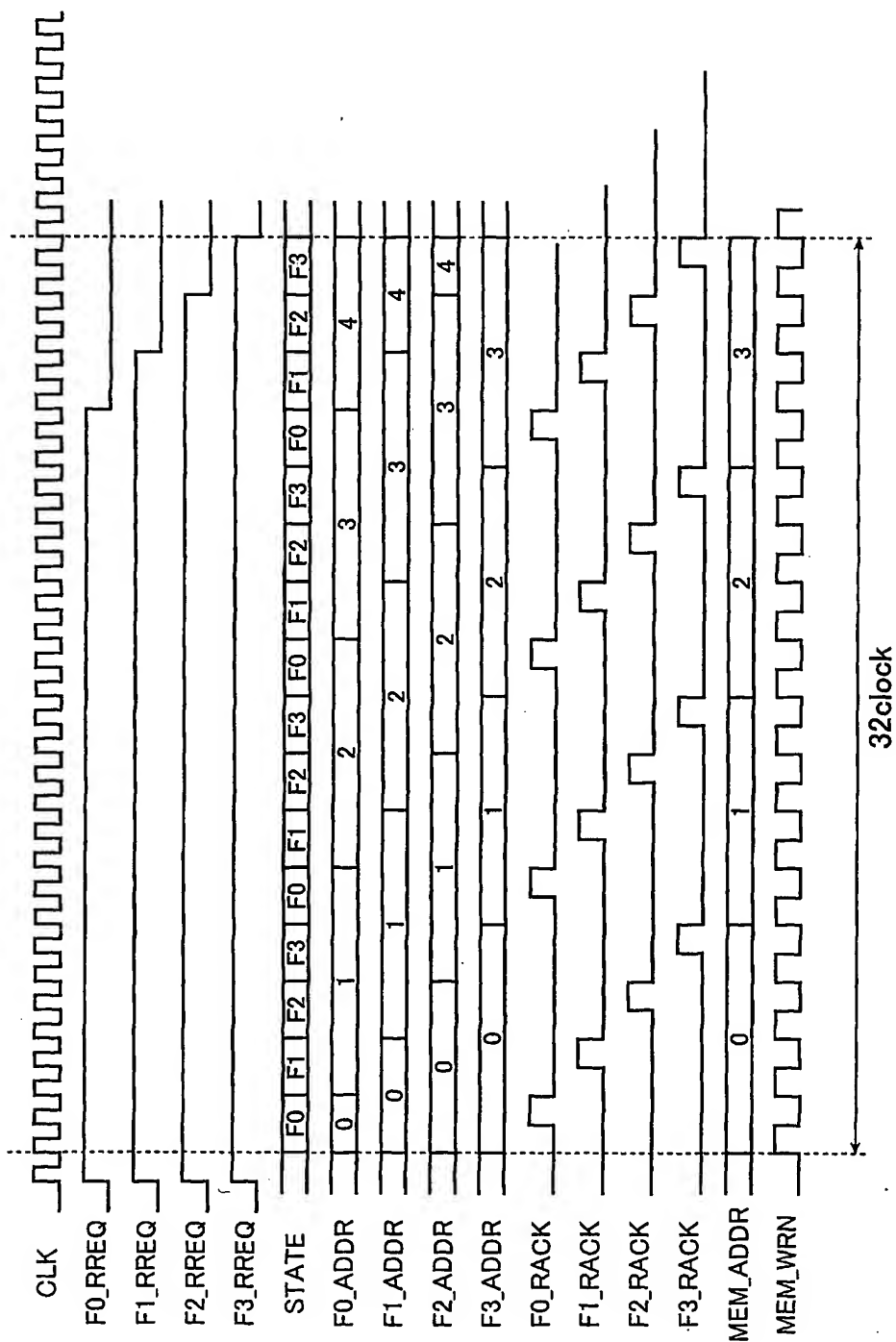


FIG. 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00128

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B1/707, H04J13/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B1/69-1/713, H04J13/00-13/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2000-312164, A (Sharp Corp.), 07 November, 2000 (07.11.00), Full text; all drawings & EP 1049264 A2 & AU 200030155 A & CN 1272729 A & KR 200077095 A & US 6282234 B1	1-7
A	JP, 2000-244455, A (Kokusai Electric Co., Ltd.), 08 September, 2000 (08.09.00), Full text; all drawings (Family: none)	1-7
A	JP, 11-251960, A (Kokusai Electric Co., Ltd.), 17 September, 1999 (17.09.99), Full text; Figs. 2, 11 (Family: none)	1-7
P, A	JP, 2001-285130, A (Hitachi Kokusai Electric Inc.), 12 October, 2001 (12.10.01), Full text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2000 (08.04.02)

Date of mailing of the international search report
16 April, 2002 (16.04.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04B1/707, H04J13/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04B1/69-1/713, H04J13/00-13/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-312164 A (シャープ株式会社), 2000. 11. 07, 全文, 全図 &EP 1049264 A2 &AU 200030155 A &CN 1272729 A &KR 200077095 A &US 6282234 B1	1-7
A	JP 2000-244455 A (国際電気株式会社), 2000. 09. 08, 全文, 全図 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

08. 04. 02

国際調査報告の発送日

16.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5K

9297

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-251960 A (国際電気株式会社) , 1999. 09. 17, 全文, 図2, 図11 (ファミリーなし)	1-7
PA	JP 2001-285130 A (株式会社日立国際電気) , 2001. 10. 12, 全文, 全図 (ファミリーなし)	1-7